

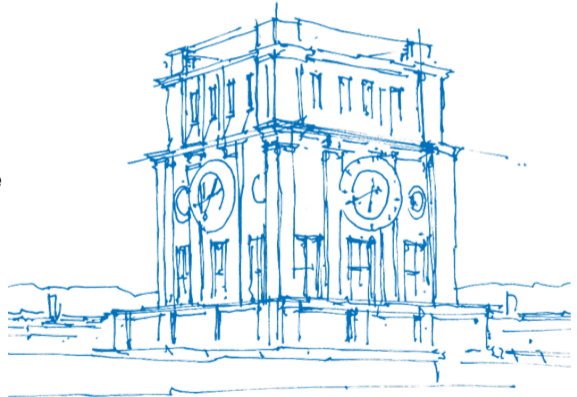
# Einführung in die Rechnerarchitektur

## Schaltwerke & VHDL

**Lukas Hertel**

Lehrstuhl für Rechnerarchitektur und Parallele Systeme  
Fakultät für Informatik  
Technische Universität München

10. Januar 2022



*TUM Uhrenturm*

# Organisatorisches

- Prüfungsanmeldung bis zum 15.01.2022

## Schaltwerke

- Schaltnetze mit Gedächtnis
- Speicherung möglich durch Rückkopplung
- “Latch” ist nicht getaktet
- “Flip-Flop” Pegel- oder Flankengesteuert (Getaktet)

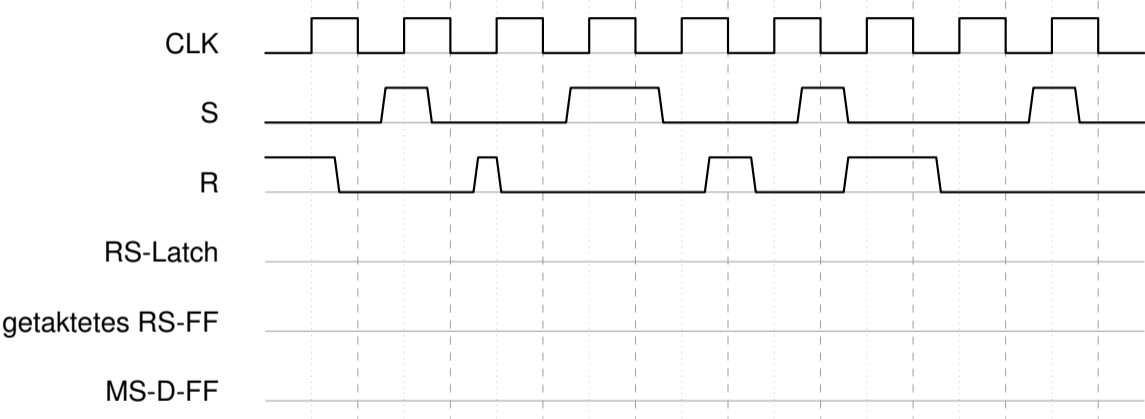
# RS-Latch

$S$	$R$	$Q$
0	0	
0	1	
1	0	
1	1	

# Pegel- und Flankensteuerung

	Änderung wenn...	Beispiel
Pegelsteuerung		
Flankensteuerung		

# Signalverläufe



# Nicht getaktetes RS-Latch

# Taktpegelgesteuertes RS-Flip-Flop





# D-Flip-Flop

$D$	$Q$
0	
1	

# Taktpegelgesteuertes D-Flip-Flop



## Taktflankengesteuertes D-Flip-Flop

- Wie verändern um auf steigende Flanken zu reagieren?

# JK-Flip-Flop Tabelle

$J$	$K$	$Q$
0	0	
0	1	
1	0	
1	1	



# D-Flip-Flop mit JK



# T-Flip-Flop Tabelle

$T$	$Q$
0	
1	





# Signaldeklerationen

Signal	A	B	C	D	E	F	G	H	I
Bits									

# Deklarationen

- signal K :
- signal L :
- signal M :
- signal N :
- signal O :

## Zuweisungen

- $A \leq$
- $B \leq$
- $C \leq$
- $D \leq$
- $E \leq$
- $F \leq$